

DERWENT-ACC-NO: 2001-010685

DERWENT-WEEK: 200320

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Liquid crystal display device has
TFT protective coat and organic insulating film formed
between pixel electrode and source and gate
electrodes

INVENTOR: HIBINO, Y; HIROBE, T ; TARUI, T

PATENT-ASSIGNEE: SHARP KK[SHAF] , HIBINO Y[HIBII],
HIROBE T[HIROI], TARUI
T[TARUI]

PRIORITY-DATA: 1999JP-0044239 (February 23, 1999)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
US 6529251 B2		March 4, 2003	N/A
000	G02F	001/136	
JP 2000241832 A		September 8, 2000	N/A
011	G02F	001/136	
KR 2000062586 A		October 25, 2000	N/A
000	G02F	001/136	
US 20020126243 A1		September 12, 2002	N/A
000	G02F	001/1333	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
US 6529251B2	N/A	
2000US-0505858	February 17, 2000	
JP2000241832A	N/A	
1999JP-0044239	February 23, 1999	
KR2000062586A	N/A	
2000KR-0008399	February 22, 2000	
US20020126243A1	N/A	
2000US-0505858	February 17, 2000	

INT-CL (IPC): G02F001/1333, G02F001/136 , H01L029/04 ,
H01L029/786

ABSTRACTED-PUB-NO: JP2000241832A

BASIC-ABSTRACT:

NOVELTY - A pixel electrode (26) is provided on the upper surface of source and gate electrodes (19,12) which comprise Al or Al alloy. A thin film transistor (TFT) protective coat (23) and an organic insulating film (24) are provided between pixel electrode and source and gate electrodes.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for liquid crystal display device manufacturing method.

USE - Liquid crystal display device.

ADVANTAGE - Since the source electrode is made up of Al, the corrosion to an etching process is prevented. By providing insulation films between the pixel electrode and the source and gate electrodes, the leak between them is effectively prevented, hence yield is improved greatly.

DESCRIPTION OF DRAWING(S) - The figure shows the cross-sectional view of thin film transistor array substrate of the liquid crystal display device.

Gate electrodes 19,12

Protective coat 23

Organic insulating film 24

Pixel electrode 26

ABSTRACTED-PUB-NO: US20020126243A

EQUIVALENT-ABSTRACTS:

NOVELTY - A pixel electrode (26) is provided on the upper surface of source and gate electrodes (19,12) which comprise Al or Al alloy. A thin film transistor (TFT) protective coat (23) and an organic insulating film (24) are provided between pixel electrode and source and gate electrodes.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for liquid crystal display device manufacturing method.

USE - Liquid crystal display device.

ADVANTAGE - Since the source electrode is made up of Al, the corrosion to an etching process is prevented. By providing insulation films between the pixel electrode and the source and gate electrodes, the leak between them is effectively prevented, hence yield is improved greatly.

DESCRIPTION OF DRAWING(S) - The figure shows the cross-sectional view of thin film transistor array substrate of the liquid crystal display device.

Gate electrodes 19,12

Protective coat 23

Organic insulating film 24

Pixel electrode 26

CHOSEN-DRAWING: Dwg.3/8

TITLE-TERMS: LIQUID CRYSTAL DISPLAY DEVICE TFT PROTECT COAT
ORGANIC INSULATE
FILM FORMING PIXEL ELECTRODE SOURCE GATE
ELECTRODE

DERWENT-CLASS: L03 P81 U11 U14

CPI-CODES: L03-G05B; L04-C10C; L04-C11C; L04-E01;

EPI-CODES: U11-C05B9A; U14-H01F; U14-K01A1B; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2001-002864

Non-CPI Secondary Accession Numbers: N2001-008190

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-241832

(P2000-241832A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 0
1/1333	5 0 5	1/1333	5 0 5 2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 A 5 F 1 1 0

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平11-44239

(22) 出願日 平成11年2月23日(1999.2.23)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 日比野 吉高

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 広部 俊彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

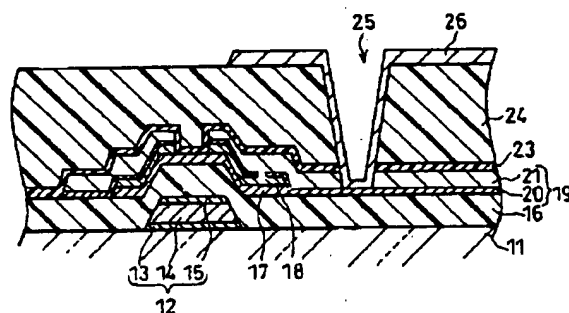
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 ソース電極またはゲート電極をA1材料にて形成するときに、エッチング工程において上記A1材料が腐食することを防止できるようにする。

【解決手段】 A1またはA1合金層を有するソース電極19(ゲート電極12)と、このソース電極19(ゲート電極12)の上層側に設けられた絵素電極26と、ソース電極19(ゲート電極12)を覆うように、ソース電極19(ゲート電極12)と絵素電極26との間に少なくともTFT保護膜23および有機絶縁膜24を備えている。



【特許請求の範囲】

【請求項1】 AlまたはAl合金層を有する第1電極と、

この第1電極の上層側に設けられた絵素電極と、
前記第1電極を覆うように、前記第1電極と前記絵素電極との間に設けられた少なくとも2層の層間絶縁層とを備えていることを特徴とする液晶表示装置。

【請求項2】 AlまたはAl合金層を有する第1電極を形成し、

前記第1電極の上層側に第1電極を覆うように、少なくとも2層の層間絶縁層を形成し、

前記層間絶縁層の上層側に絵素電極を形成することを特徴とする液晶表示装置の製造方法。

【請求項3】 少なくとも2層の前記層間絶縁層のうちの一方が無機系絶縁層であり、他方が有機系絶縁層であることを特徴とする請求項2に記載の液晶表示装置の製造方法。

【請求項4】 前記第1電極がソース電極であり、このソース電極の下層側にAlまたはAl合金層を有するゲート電極を形成し、前記無機系絶縁層が前記ソース電極上に設けられたTFT保護膜であることを特徴とする請求項3に記載の液晶表示装置の製造方法。

【請求項5】 前記第1電極がソース電極であり、このソース電極の下層側にAlまたはAl合金層を有するゲート電極を形成し、前記ソース電極は、ゲート電極側から順次ソース第1電極層とAlまたはAl合金からなるソース第2電極層とを少なくとも積層して形成し、前記ソース第1電極層および前記絵素電極にて、接続端子となる前記ゲート電極の端子部を覆うことを特徴とする請求項2に記載の液晶表示装置の製造方法。

【請求項6】 AlまたはAl合金層を有するゲート電極の上層側にゲート絶縁層を形成し、このゲート絶縁層の上層側に、ゲート絶縁層側から順次ソース第1電極層とAlまたはAl合金からなるソース第2電極層とを少なくとも積層してソース電極を形成し、
このソース電極を所定の電極パターンに形成するために、前記ソース第2電極層をウェットエッチングした後、前記ソース第1電極層をドライエッチングすることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、TFT (Thin Film Transistor) を有する液晶表示装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来、高品質の画像を表示可能なものとして、TFT方式の液晶表示装置が多用されている。以下、この液晶表示装置が備える半導体基板の製造方法について説明する。

【0003】 この液晶表示装置が備える半導体の基本構

造は、逆スタガー型であるため、最下層に設けられるゲート電極については、エッチング選択性の高い金属を使用することが好ましい。ここでは、ゲート電極の材料としてTa金属膜を使用した場合を図6に基づいて説明する。

【0004】 先ず、図6(a)に示すように、ガラス基板51上にTa金属膜からなるゲート電極52をPVD法(物理的成膜法:スパッタリング法)により成膜する。

【0005】 次に、図6(b)に示すように、フォトリソグラフィ法により、ゲート電極52上に設けたレジスト53をゲート電極52の所望の電極パターンにパターニングする。

【0006】 次に、PE(プラズマエッチング)法、RIE(リアクティブイオンエッチング)法またはウェットエッチング法により、図6(c)に示すように、ゲート電極52を所定の電極パターンに形成し、レジスト53を剥離する。

【0007】 次に、通常、PE-CVD法を用いて、図6(d)に示すように、ゲート絶縁膜(GI(ゲートインシュレータ)膜:通常SiNx)54、I-Si膜55およびn⁺膜56を連続的に成膜する。

【0008】 これら3層の膜を成膜後、ゲート電極52をパターニングしたときと同様に、フォトリソグラフィ法と、PE(プラズマエッチング)法、RIE(リアクティブイオンエッチング)法またはウェットエッチング法とにより、図7(a)に示すように、I-Si膜55およびn⁺膜56からなるチャネル層を一つの島状にパターニングし、半導体層を形成する。

【0009】 その後、ゲート絶縁膜54上にレジスト(図示せず)をパターニングして、ゲート電極52における接続端子部上のゲート絶縁膜54をエッチングする。なお、前記接続端子としては、通常ゲート電極52が用いられる。

【0010】 次に、図7(b)に示すように、Ti、Al、WあるいはTa等からなるソース電極57をPVD法により成膜し、ゲート電極52を形成したときの前記方法により、ソース電極57を所定形状に形成する。

【0011】 次に、図7(c)に示すように、ソース電極57をパターニングしたときのソースマスクを用いて、チャネル部のn⁺膜56を連続的に除去し、TFT(Thin Film Transistor)58を形成する。

【0012】 その後、図7(d)に示すように、透明導電膜(通常、ITO膜)からなる絵素電極59をPVD法にて成膜し、図8(a)に示すように、この絵素電極59をウェットエッチング法により所定の電極パターンに形成する。

【0013】 最後に、図8(b)に示すように、TFT保護膜60をPE-CVD法により成膜し、TFTアレイ基板の製造プロセスが完了する。

【0014】

【発明が解決しようとする課題】ところで、近年では、高精細の液晶表示パネルの電極材料として、Al、Al合金あるいはCu等の低抵抗金属が使用されている（例えば、特開平6-148683号、特開平7-169967号あるいは特開平10-253976号参照）。しかしながら、例えば前記ゲート電極52の材料をTaから上記Al材料に置き換えるとともに、ソース電極57をAl材料にて形成する場合、ソース電極57のエッチング時に、ソース電極57の下層にあるゲート電極52が、ゲート絶縁膜54の欠陥部を通じて腐食される事態が生じる。

【0015】また、最終工程であるITO膜のウェットエッチング時には、強酸であるHClあるいはHBr等を用いるため、よほど厚い絶縁膜（例えばゲート絶縁膜54）を形成しなければ、ソース電極57に加えてゲート電極52も腐食されてしまうという問題点を有している。

【0016】但し、厚い無機系の絶縁膜を形成する場合には、その成膜およびエッチング工程に長時間を要するばかりでなく、その絶縁膜の両側の電極間に不要な静電容量が生じるため、無機系の絶縁膜の厚膜化は困難である。

【0017】ソース電極57およびゲート電極52をAl材料にて形成する場合の上記問題点をまとめると下記の通りである。

①ソース電極57をパターン形成する際に、ゲート絶縁膜54の欠陥部を通じて、ゲート電極52およびこのゲート電極52による端子部が同時にエッチングされてしまう。

【0018】②ITO膜からなる絵素電極59をパターン形成する際に、絵素電極59のエッチング液であるHCl等の強酸により、ソース電極57およびゲート電極52が膜欠陥部より腐食されてしまう。なお、Al電極の腐食防止のために、上記製造プロセスを変更して、TFT保護膜上にITO膜を形成する事も考えられるが、単なるプロセスの入れ替えだけでは、Al電極の腐食を十分に防止することはできない。

【0019】そして、上記のAl電極、即ちソース電極57あるいはゲート電極52の腐食という問題点により、液晶表示装置の良品率の低下と、これによる製品コストの上昇を招来する。

【0020】本発明は、上記問題点を解決するためになされたものであって、ソース電極またはゲート電極をAl材料にて形成するときに、このAl材料が腐食することを防止可能である液晶表示装置およびその製造方法の提供を目的とするものである。

【0021】

【課題を解決するための手段】上記の課題を解決するために、本発明の請求項1に記載の液晶表示装置は、Al

またはAl合金層を有する第1電極と、この第1電極の上層側に設けられた絵素電極と、前記第1電極を覆うように、前記第1電極と前記絵素電極との間に設けられた少なくとも2層の層間絶縁層とを備えていることを特徴としている。

【0022】請求項1に記載の構成によれば、例えば、ITO膜からなる絵素電極は、複数（少なくとも2層以上）の層間絶縁層を介して例えば最上層に形成される。なお、複数の層間絶縁層のうちの1層については、TFT保護膜で代用することができる。他の1層としては、例えば有機系絶縁層（膜厚が例えば1μm以上）が設けられる。

【0023】これにより、上記層間絶縁層にて、絵素電極を第1電極、例えばソース電極またはゲート電極と十分に分離することができる。したがって、複数の層間絶縁層の何れかに膜欠陥が存在する場合であっても、絵素電極をエッチングする際に、前記膜欠陥により、第1電極のAlまたはAl合金層が腐食する事態を防止することができる。

【0024】また、絵素電極と第1電極、例えばソース電極とが分離されていることにより、絵素電極と第1電極との間のリークを防止することができる。

【0025】本発明の請求項2に記載の液晶表示装置の製造方法は、AlまたはAl合金層を有する第1電極を形成し、前記第1電極の上層側に第1電極を覆うように、少なくとも2層の層間絶縁層を形成し、前記層間絶縁層の上層側に絵素電極を形成することを特徴としている。

【0026】請求項2に記載の構成によれば、例えば、ITO膜からなる絵素電極は、複数（少なくとも2層以上）の層間絶縁層を介して例えば最上層に形成される。なお、複数の層間絶縁層のうちの1層については、TFT保護膜で代用することができる。他の1層としては、例えば有機系絶縁層（膜厚が例えば1μm以上）が設けられる。

【0027】これにより、上記層間絶縁層にて、絵素電極を第1電極、例えばソース電極またはゲート電極と十分に分離することができる。したがって、複数の層間絶縁層の何れかに膜欠陥が存在する場合であっても、絵素電極をエッチングする際に、前記膜欠陥により、第1電極のAlまたはAl合金層が腐食する事態を防止することができる。

【0028】また、絵素電極と第1電極、例えばソース電極とが分離されていることにより、絵素電極と第1電極との間のリークを防止することができる。

【0029】なお、複数の前記層間絶縁層のエッチングについては、全ての層間絶縁層を形成した後、これら複数の層間絶縁層を一括してエッチングすれば、フォトリソグラフィ工程におけるマスク枚数の増加を防止することができる。

【0030】本発明の請求項3に記載の液晶表示装置の製造方法は、請求項2に記載の構成において、少なくとも2層の前記層間絶縁層のうち一方が無機系絶縁層であり、他方が有機系絶縁層であることを特徴としている。

【0031】請求項3に記載の構成によれば、請求項2に記載の構成による作用に加え、絵素電極と第1電極との間の複数の層間絶縁層が無機系絶縁層と有機系絶縁層とからなるので、有機系絶縁層と比較して誘電率が高く、かつ成膜およびエッチングに長時間を要する無機系絶縁層の厚みを、層間絶縁層として無機系絶縁層のみを形成する場合よりも薄くすることができる。この結果、絵素電極と第1電極との間に不要な静電容量が発生する事態、および層間絶縁層の形成に長時間を要する事態を防止することができる。

【0032】本発明の請求項4に記載の液晶表示装置の製造方法は、請求項3に記載の構成において、前記第1電極がソース電極であり、このソース電極の下層側にAlまたはAl合金層を有するゲート電極を形成し、前記無機系絶縁層が前記ソース電極上に設けられたTFT保護膜であることを特徴としている。

【0033】請求項4に記載の構成によれば、請求項3に記載の構成による作用に加え、前記層間絶縁層によって、ソース電極およびゲート電極におけるAlまたはAl合金層の腐食を防止することができる。また、ソース電極上に設けられたTFT保護膜が無機系絶縁層を兼用しているので、層間絶縁層における層数の増加、即ち液晶表示装置の構造の複雑化を抑制することができる。

【0034】本発明の請求項5に記載の液晶表示装置の製造方法は、請求項2に記載の構成において、前記第1電極がソース電極であり、このソース電極の下層側にAlまたはAl合金層を有するゲート電極を形成し、前記ソース電極を、ゲート電極側から順次ソース第1電極層とAlまたはAl合金からなるソース第2電極層とを少なくとも積層して形成し、前記ソース第1電極層および前記絵素電極にて、接続端子となる前記ゲート電極の端子部を覆うことを特徴としている。

【0035】請求項5に記載の構成によれば、請求項2に記載の構成による作用に加え、接続端子となる前記ゲート電極の端子部をソース第1電極層および絵素電極にて覆うようにしている。この場合、前記端子部の例えば全面を覆う形で絵素電極の配線パターンを残すことにより、ゲート絶縁層で覆われていない部分も絵素電極にて覆うようにする。これにより、上記端子部を確実に保護することができる。

【0036】本発明の請求項6に記載の液晶表示装置の製造方法は、AlまたはAl合金層を有するゲート電極の上層側にゲート絶縁層を形成し、このゲート絶縁層の上層側に、ゲート絶縁層側から順次ソース第1電極層とAlまたはAl合金からなるソース第2電極層とを少な

くとも積層してソース電極を形成し、このソース電極を所定の電極パターンに形成するために、前記ソース第2電極層をウェットエッチングした後、前記ソース第1電極層をドライエッチングすることを特徴としている。

【0037】請求項6に記載の構成によれば、ソース電極をゲート絶縁層側から順次ソース第1電極層、例えばTiN膜とAlまたはAl合金からなるソース第2電極層とを少なくとも積層することにより形成するとともに、ソース電極を所定の電極パターンに形成するために、ソース第2電極層をウェットエッチングした後、その下のソース第1電極層をドライエッチングするようにしているので、ソース電極をエッチングする際のゲート電極の腐食を防止することができる。なお、上記ドライエッチングの際には、ウェットエッチングに使用したソースレジスト膜をそのまま使用することができる。

【0038】即ち、ソース電極のAlまたはAl合金からなるソース第2電極層と例えばTiN膜からなるソース第1電極層とをウェットエッチングにより連続エッチングした場合、ゲート絶縁層の膜欠陥、例えばピンホールなどにより、ゲート電極のAlまたはAl合金層が腐食される可能性がある。

【0039】そこで、まず、AlまたはAl合金からなる上層側のソース第2電極層をウェットエッチングし、次に下層側のソース第1電極層をドライエッチングすれば、ウェットエッチングの際に、ゲート絶縁膜に加えてソース第1電極層も一つのバリアー層として機能し、ゲート電極の腐食を確実に防止することができる。

【0040】なお、Alに対してエッチング選択性を有するガス、例えばCF₄等を使用することにより、ゲート絶縁層に膜欠陥が存在する場合であっても、ゲート電極を確実に保護することが可能である。

【0041】また、Alに対してエッチング選択性の無いCl₂系のガスを使用した場合であっても、異方性エッチングを行えば、ゲート電極の損傷は極端なものにはならず、TFT保護膜等により埋め合わせ可能となる。

【0042】また、ソース第2電極層とソース第1電極層とを一括してドライエッチングすることも考え得るものの、ソース電極のパターン形成のためのエッチングとTFTのギャップ部のn⁺膜のエッチングとを同時に行うには、TFT特性(I-Si膜の残膜量)を保証するためのエッチング均一性が要求される。この場合、ウェットエッチングを用いてソース電極を薄くしておくことにより、エッチングレートの分布に対しての絶対値を小さくすることが可能となる。したがって、TFT特性の均一性が保証される。

【0043】

【発明の実施の形態】本発明の実施の一形態を図1ないし図5に基づいて以下に説明する。本発明の実施の形態における液晶表示装置は、TFTアレイ基板として、図1に示す構成を有している。

【0044】即ち、ガラス基板11上にTi膜13、Al膜14およびTiN膜15からなる3層構造のゲート電極（第1電極）12が形成され、その上にゲート絶縁膜16が形成され、その上に1つの島状にI-Si膜17およびn⁺膜18が形成されている。n⁺膜18上には、TiN膜（ソース第1電極層）20およびAl膜（ソース第2電極層）21からなるソース電極（第1電極）19が形成されている。ソース電極19の上には、TFT保護膜（層間絶縁層、無機系絶縁層）23と有機絶縁膜（層間絶縁層、有機系絶縁層）24が形成され、有機絶縁膜24の上に絵素電極26が形成されている。

【0045】上記の有機絶縁膜24にはコンタクトホール25が形成され、このコンタクトホール25を用いてTFT保護膜23およびソース電極19におけるAl膜21がエッチングされている。

【0046】上記ゲート電極12におけるAl膜14およびソース電極19のAl膜21は、Al合金からなる膜であってもよい。上記Al膜14およびAl膜21の膜厚は、液晶表示装置のパネルサイズに応じて設定される。

【0047】上記ゲート電極12におけるTi膜13、TiN膜15およびソース電極19におけるTiN膜20は、これらに代えて、Ta、Ti、Cr、Mo、または窒化されたTiN、MoNの各膜のうちから、適宜選択した膜を使用することができる。これらは何れも融点2000℃以上の高融点金属である。

【0048】上記TFT保護膜23は、無機系絶縁膜であり、例えばSiNxまたはSiO₂からなる。有機絶縁膜24は、例えばアクリル系樹脂を材料として形成されている。

【0049】また、端子部は、その平面図である図2(a)、および図2(a)におけるA-A線矢視断面図である図2(b)に示す構成を有している。

【0050】即ち、ガラス基板11上に、端子部の電極となる前記ゲート電極12が形成され、このゲート電極12がソース電極19におけるTiN膜20および絵素電極26にて覆われている。端子部の中央部におけるゲート電極12上にはコンタクトホール27が形成されている。このコンタクトホール27において、ゲート絶縁膜16はエッチングされ、ゲート電極12の上面がソース電極19（TiN膜20）を介して絵素電極26により覆われた状態となっている。

【0051】高精細な表示が可能な液晶表示装置を製造する場合、AlあるいはAl合金からなる低抵抗の電極材料（ゲート電極12およびソース電極19の材料）が必要である。しかしながら、Al電極は、熱ストレスにより圧縮・膨張応力がかかり、金属膜の突起（ヒロック）、膜構造欠陥（ボイド）等の不良が起り易い。さらにAl電極は、TFTデバイスを構成するための他の金属（Ti、ITO、Ta、Mo等）とのエッチング選

択性が無く、その上に形成される絶縁膜等の欠陥があれば、いとも簡単にエッチングされてしまう。そこで、本液晶表示装置では、上記の構成を採用するとともに、以下に示す方法にて液晶表示装置を製造している。

【0052】次に、上記液晶表示装置におけるTFTアレイ基板の製造方法を図3ないし図5に基づいて説明する。

【0053】先ず、図3(a)に示すように、ガラス基板11上に、3層構造のゲート電極12として、Ti膜13、2000Å厚のAl膜14、およびTiN膜15の3層の膜をPVD法（物理的成膜法：スパッタリング法）により順次成膜する。成膜条件については表1に示す通りである。なお、この処理では、表1のガス流量において示しているArとN₂との混合ガスを使用している。また、同表に示す抵抗（Ω/□（スクエア））は、ゲート電極12の表面抵抗である。

【0054】次に、先述の図6(b)に示した工程と同様にして、フォトリソグラフィ法により、ゲート電極12上にレジストを設け、このレジストをゲート電極12の所定の電極パターンにパターニングする（図示省略）。

【0055】次に、図3(b)に示すように、図6(c)に示した工程と同様にして、PE（プラズマエッチング）法またはRIE（リアクティブイオンエッチング）法等のドライエッチング法により、ゲート電極12を形成する3層を一括エッチングしてゲート電極12を所定の電極パターンに形成し、その後、上記レジストを剥離する。エッチング条件は表2に示す通りである。なお、ここでは、エッチングガスとしてCl₂を使用しているため、Al膜14の腐食防止を考慮してエッチング後にトリートメント工程を行っている。即ち、このトリートメント工程により、Al膜14がHClによって腐食されるのを防止するため、残留塩素イオンをフッ素イオンと置換させている。この工程の条件は表3に示す通りである。

【0056】ゲート電極12の形成後、PE-CVD法を用いて、図3(c)に示すように、ゲート絶縁膜（通常SiNx膜）16、I-Si膜17およびn⁺膜18を連続的に成膜する。

【0057】次に、図3(d)に示すように、I-Si膜17とn⁺膜18とを一つの島状にパターニングして、TFTのチャネル部分を形成する。

【0058】その後、液晶表示パネル駆動用の端子部配線を露出させるために、ゲート絶縁膜16のパターニングを行い、端子部となるTi膜13、Al膜14およびTiN膜15、即ちゲート電極12を露出させる（図示せず）。この場合、ゲート絶縁膜16上にレジストをパターニングして、ゲート電極12における接続端子部上のゲート絶縁膜16をエッチングする。

【0059】次に、2層構造のソース電極19として、

図4(a)に示すように、TiN膜20と2000Å厚のAl膜21とをPVD法により順次成膜する。なお、下層のTiN膜20の厚みは、薬液に対するバリアー層として十分な膜厚である500Åとする。また、成膜条件については表4に示す通りである。

【0060】次に、ゲート電極12を形成したときの前記工程と同様にして、ソース電極19上にレジスト22を設け、このレジスト22をソース電極19の所定形状にパターニングした後、図4(b)に示すように、ソース電極19におけるAl膜21の不要部分をウェットエッチングにより除去する。このとき、ソース電極19の下層側のゲート電極12におけるAl膜14は、ソース電極19におけるTiN膜20とゲート絶縁膜16とにより保護されているため、どちらかに膜欠陥が存在していても、ゲート電極12にエッチング液が浸透することはない。したがって、ゲート電極12の腐食が防止される。

【0061】なお、ゲート電極12の端子部については、ゲート電極12上をゲート絶縁膜16にて覆い、さらにゲート電極12に重なる形でソース電極19を重ねることにより保護する(図2(a)(b)参照)。

【0062】ソース電極19のAl膜21をエッチング後、図4(c)に示すように、このエッチングに使用したソースマスクを用いて、ソース電極19の下層を構成するTiN膜20およびチャンネル部のn⁺膜18をドライエッチングにより連続エッチングし、ソース電極19とTFTのチャネル部分とを同時に形成する。その後、上記レジスト22を除去する。上記ソース電極19およびチャンネル部のエッチング条件は表5に示す通りである。なお、ここでも上記エッチングによるAl膜21の腐食防止を考慮してエッチング後にトリートメント工程を行っている。この工程の条件は表6に示す通りである。

*【0063】次に、図4(d)に示すように、窒化シリコン(SiN_x)を材料としてTFT保護膜23を成膜する。

【0064】次に、図5(a)に示すように、上記TFT保護膜23を1層目の絶縁膜とした場合の2層目の絶縁膜として、アクリル系の樹脂を全面塗布することにより、層間絶縁膜としての有機絶縁膜24を成膜する。これにより、TFTアレイ基板の上面は平坦化構造となる。上記有機絶縁膜24の膜厚は、後述のITO膜(絵素電極26)をエッチングする際の薬液浸透を防ぐためにも、3μmとする。また、有機絶縁膜24には、フォトリソグラフィ法によりコンタクトホール25を形成する。

【0065】次に、図5(b)に示すように、上記コンタクトホール25を用いて、窒化シリコンからなるTFT保護膜23、およびソース電極19におけるAl膜21をドライエッチングにより連続的にエッチングする。上記Al膜21をエッチングする理由は、下記の絵素電極26とAl膜21との間においてオーミックコンタクトを行えるようにするためである。

【0066】その後、図5(c)に示すように、ITO膜からなる絵素電極26をスパッタ法にて成膜する。そして、この絵素電極26上にレジストを成膜し、このレジストを絵素電極26の形状にパターニング後、HClまたはHBr等によりエッチングを行い、絵素電極26を所定電極パターンに形成する。また、端子部については、図2(a)(b)に示したように形成する。

【0067】上記の本実施の形態のTFTアレイ基板の形成工程と従来のそれとを比較すると、次の表7の通りである。

【0068】

【表1】

* ゲート電極成膜(DCマグネトロンスパッタリング)条件

	DC RF- kw	圧力 Pa	流量 sccm		温度 ℃	時間 sec	膜厚 Å	抵抗 Ω/□
			Ar	N ₂				
Ti膜	5-15	0.5-1	50-100	—	100	40	300	0.25
Al膜	10-20	0.5-1	50-100	—	100	80	2000	
TiN膜	5-15	0.5-1	50-100	5~20	100	60	500	

【0069】

※ ※【表2】

ゲートエッチング(リアクティブイオンエッチング)条件

RF RF- kw	圧力 mT	流量 sccm			温度 ℃	時間
		Cl ₂	Ar	BCl ₃		
2~4	5~20	100~300	0~100	0~100	80	インジウム 検出

【0070】

★ ★【表3】

ゲート電極エッチング後トリートメント条件

RF パワー kw	圧力 mT	ガス流量 sccm		温度 ℃	時間 sec
		CF ₄	O ₂		
1~3	10~40	50~250	20~100	60	30~240

【0071】

* * 【表4】

ソース電極成膜 (DCマグネトロンスパッタリング) 条件

	DC パワー kw	圧力 mT	ガス流量 sccm		温度 ℃	時間 sec	膜厚 Å	抵抗 Ω/□
			Ar	N ₂				
Ti又は TiN膜	5-15	5-10	50-75	0-15	100	40	500	0.2
Al膜	10-15	3-10	50-75	—	100	40	2000	

【0072】

※ ※ 【表5】

ソース電極及びTFTチャンネル部エッチング条件
(リアクティブイオンエッチング条件)

RF パワー kw	圧力 mT	ガス流量 sccm		温度 ℃	時間
		Cl ₂	BCl ₃		
2~4	5~20	30~300	100~300	60	エンドポイント 検出

【0073】

★ ★ 【表6】

ソース電極エッチング後トリートメント条件

RF パワー kw	圧力 mT	ガス流量 sccm		温度 ℃	時間 sec
		CF ₄	O ₂		
2~3	20~40	100~300	10~100	60	120

【0074】

☆ ☆ 【表7】

本発明プロセス	従来プロセス
ゲート電極 (Al膜含む) 形成	ゲート電極 (Ta膜含む) 形成
n ⁺ / I-Si チャンネル部形成	n ⁺ / I-Si チャンネル部形成
ゲート絶縁膜パターン形成 (端部部出し)	ゲート絶縁膜パターン形成 (端部部出し)
ソース電極 (Al膜含む) 形成 ソースフォトリソマスクを用いてAl膜の下層 のTiN膜を連続的にパターニング	ソース電極 (Ta膜含む) 形成
TFT保護膜、層間絶縁膜の成膜及びパタ ーニングの後に、コンタクトホール部の連 続エッチングによりコンタクトホール形成	絵素電極 (ITO膜) 形成
絵素電極 (ITO膜) 形成	TFT保護膜形成

【0075】

【発明の効果】以上のように、本発明の請求項1に記載の液晶表示装置は、AlまたはAl合金層を有する第1電極と、この第1電極の上層側に設けられた絵素電極と、前記第1電極を覆うように、前記第1電極と前記絵素電極との間に設けられた少なくとも2層の層間絶縁層とを備えている構成である。

【0076】これにより、層間絶縁層にて、絵素電極を第1電極、例えばソース電極またはゲート電極と十分に◆50

◆分離することができる。したがって、複数の層間絶縁層の何れかに膜欠陥が存在する場合であっても、絵素電極をエッチングする際に、前記膜欠陥により、第1電極のAlまたはAl合金層が腐食する事態を防止することができる。また、絵素電極と第1電極、例えばソース電極とが分離されていることにより、絵素電極と第1電極との間のリークを防止することができる。この結果、歩留まりが飛躍的に向上し、液晶表示装置の原価を大幅に低減することができるという効果を奏する。

【0077】本発明の請求項2に記載の液晶表示装置の製造方法は、A1またはA1合金層を有する第1電極を形成し、前記第1電極の上層側に第1電極を覆うように、少なくとも2層の層間絶縁層を形成し、前記層間絶縁層の上層側に絵素電極を形成する構成である。

【0078】これにより、層間絶縁層にて、絵素電極を第1電極、例えばソース電極またはゲート電極と十分に分離することができる。したがって、複数の層間絶縁層の何れかに膜欠陥が存在する場合であっても、絵素電極をエッチングする際に、前記膜欠陥により、第1電極のA1またはA1合金層が腐食する事態を防止することができる。また、絵素電極と第1電極、例えばソース電極とが分離されていることにより、絵素電極と第1電極との間のリークを防止することができる。この結果、歩留まりが飛躍的に向上し、液晶表示装置の原価を大幅に低減することができるという効果を奏する。

【0079】本発明の請求項3に記載の液晶表示装置の製造方法は、請求項2に記載の構成において、少なくとも2層の前記層間絶縁層のうち的一方が無機系絶縁層であり、他方が有機系絶縁層である構成となっている。

【0080】これにより、請求項2に記載の構成による効果に加え、有機系絶縁層と比較して誘電率が高く、かつ成膜およびエッチングに長時間を要する無機系絶縁層の厚みを、層間絶縁層として無機系絶縁層のみを形成する場合よりも薄くすることができる。この結果、絵素電極と第1電極との間に不要な静電容量が発生する事態、および層間絶縁層の形成に長時間を要する事態を防止することができるという効果を奏する。

【0081】本発明の請求項4に記載の液晶表示装置の製造方法は、請求項3に記載の構成において、前記第1電極がソース電極であり、このソース電極の下層側にA1またはA1合金層を有するゲート電極を形成し、前記無機系絶縁層が前記ソース電極上に設けられたTFT保護膜である構成となっている。

【0082】これにより、請求項3に記載の構成による効果に加え、層間絶縁層によって、ソース電極およびゲート電極におけるA1またはA1合金層の腐食を防止することができる。また、ソース電極上に設けられたTFT保護膜が無機系絶縁層を兼用しているため、層間絶縁層における層数の増加、即ち液晶表示装置の構造の複雑化を抑制することができるという効果を奏する。

【0083】本発明の請求項5に記載の液晶表示装置の製造方法は、請求項2に記載の構成において、前記第1電極がソース電極であり、このソース電極の下層側にA1またはA1合金層を有するゲート電極を形成し、前記ソース電極を、ゲート電極側から順次ソース第1電極層とA1またはA1合金からなるソース第2電極層とを少なくとも積層して形成し、前記ソース第1電極層および前記絵素電極にて、接続端子となる前記ゲート電極の端子部を覆う構成である。

【0084】これにより、請求項2に記載の構成による効果に加え、ゲート電極の端子部を確実に保護することができるという効果を奏する。

【0085】本発明の請求項6に記載の液晶表示装置の製造方法は、A1またはA1合金層を有するゲート電極の上層側にゲート絶縁層を形成し、このゲート絶縁層の上層側に、ゲート絶縁層側から順次ソース第1電極層とA1またはA1合金からなるソース第2電極層とを少なくとも積層してソース電極を形成し、このソース電極を所定の電極パターンに形成するために、前記ソース第2電極層をウェットエッチングした後、前記ソース第1電極層をドライエッチングする構成である。

【0086】これにより、ソース電極をエッチングする際のゲート電極の腐食を防止することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態における液晶表示装置のTFTアレイ基板の構成を示す縦断面図である。

【図2】図2(a)は、図1に示したTFTアレイ基板の端子部を示す平面図、図2(b)は、図2(a)におけるA-A線矢視断面図である。

【図3】図3(a)は、図1に示したゲート電極の成膜工程を示す縦断面図、図3(b)は、上記ゲート電極を所定電極パターンにパターニングする工程を示す縦断面図、図3(c)は、ゲート絶縁膜、I-Si膜およびn⁺膜の連続成膜工程を示す縦断面図、図3(d)は、TFTのチャネル部分の形成工程を示す縦断面図である。

【図4】図4(a)は、前記図3(d)の工程後における、ソース電極の成膜工程を示す縦断面図、図4(b)は、ソース電極におけるA1膜のウェットエッチング工程を示す縦断面図、図4(c)は、ソース電極のTiN膜およびチャネル部のn⁺膜の連続ドライエッチング工程を示す縦断面図、図4(d)は、TFT保護膜の成膜工程を示す縦断面図である。

【図5】図5(a)は、前記図4(d)の工程後における、層間絶縁膜としての有機絶縁膜の成膜工程を示す縦断面図、図5(b)は、コンタクトホールを使用するTFT保護膜およびソース電極のA1膜のドライエッチング工程を示す縦断面図、図5(c)は、絵素電極の成膜工程を示す縦断面図である。

【図6】図6(a)は、従来のTFTアレイ基板の製造プロセスにおけるゲート電極の成膜工程を示す縦断面図、図6(b)は、レジストを上記ゲート電極の所定電極パターンにパターニングする工程を示す縦断面図、図6(c)は、上記ゲート電極を所定電極パターンにパターニングする工程を示す縦断面図、図6(d)は、ゲート絶縁膜、I-Si膜およびn⁺膜の連続成膜工程を示す縦断面図である。

【図7】図7(a)は、前記図6(d)の工程に続く、半導体層の形成工程を示す縦断面図、図7(b)は、ソ

15

ース電極を所定電極パターンにパターニングする工程を示す縦断面図、図7(c)は、TFTの形成工程を示す縦断面図、図7(d)は、絵素電極の成膜工程を示す縦断面図である。

【図8】図8(a)は、前記図7(d)の工程に続く、絵素電極を所定電極パターンにパターニングする工程を示す縦断面図、図8(b)は、TFT保護膜の成膜工程を示す縦断面図である。

【符号の説明】

12 ゲート電極(第1電極)

13 Ti膜

14 Al膜

15 TiN膜

16 ゲート絶縁膜

17 I-Si膜

18 n⁺膜

19 ソース電極(第1電極)

20 TiN膜(ソース第1電極層)

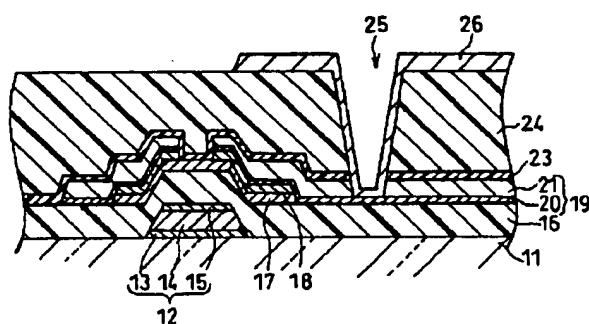
21 Al膜(ソース第2電極層)

23 TFT保護膜(層間絶縁層、無機系絶縁層)

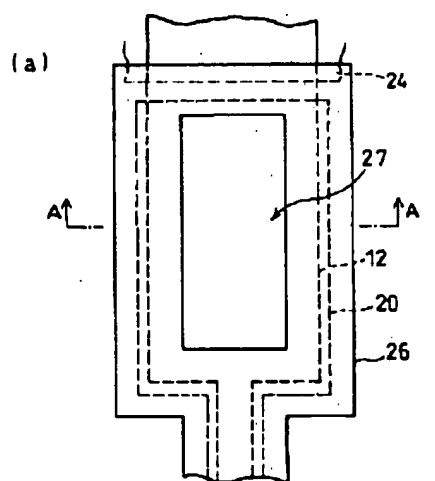
10 24 有機絶縁膜(層間絶縁層、有機系絶縁層)

26 絵素電極

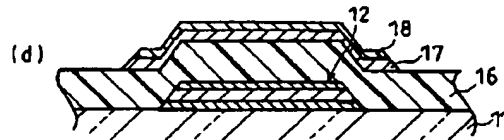
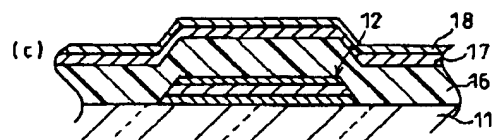
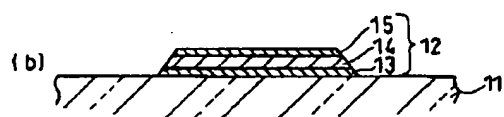
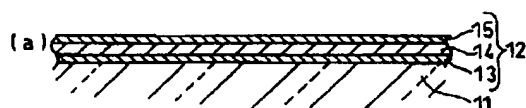
【図1】



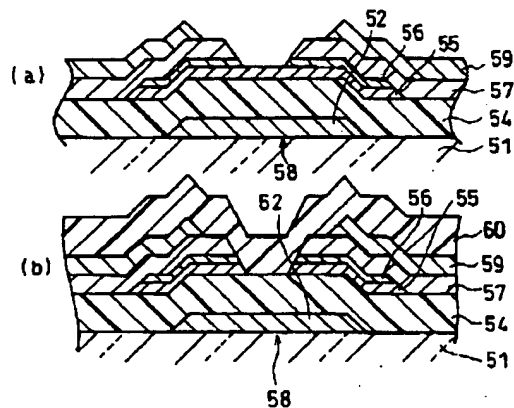
【図2】



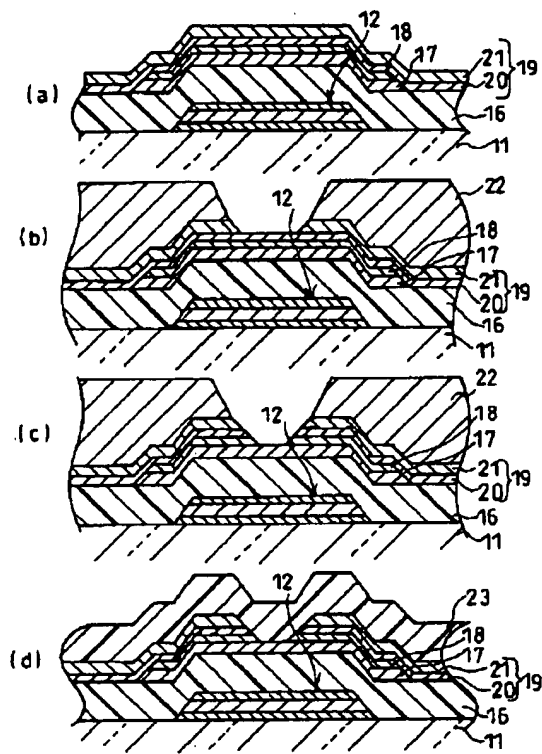
【図3】



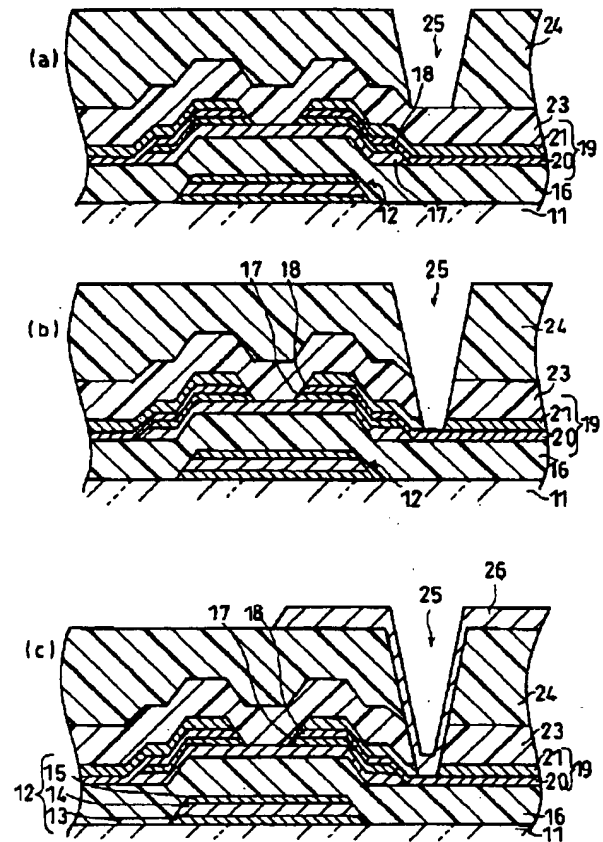
【図8】



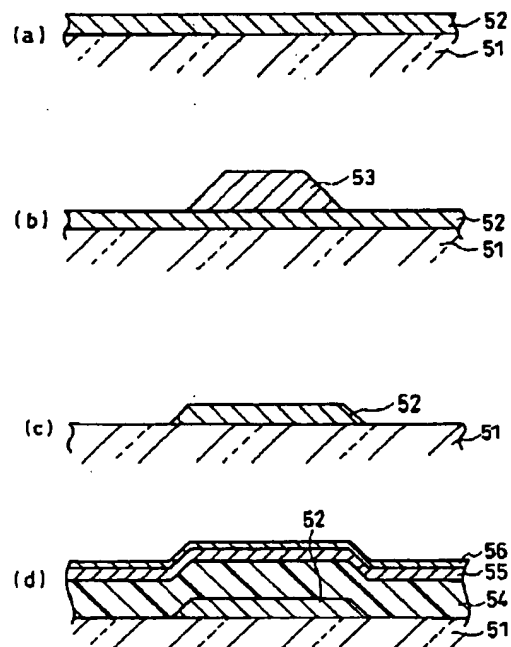
【図4】



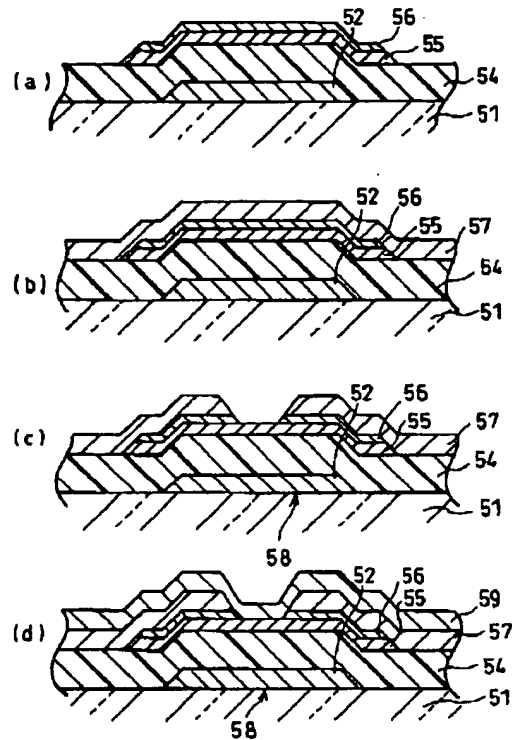
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 樽井 哲弥

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

Fターム(参考) 2H090 HA02 LA01 LA04

2H092 GA17 GA25 GA34 JA24 JA26

JA34 JA37 JA41 JA46 MA05

MA08 MA13 MA18 MA19 NA16

NA29

5F110 AA02 AA06 CC07 DD02 EE02

EE03 EE04 EE06 EE15 EE23

EE44 FF03 FF30 GG02 GG13

GG35 GG45 HK02 HK03 HK04

HK06 HK09 HK33 NN03 NN23

NN24 NN27 NN35 QQ03